

Analyse von Gedächtnisbehafteten Nichtlinearen Schaltungen und Entwicklung eines Eventgesteuerten Modells

Hintergrund

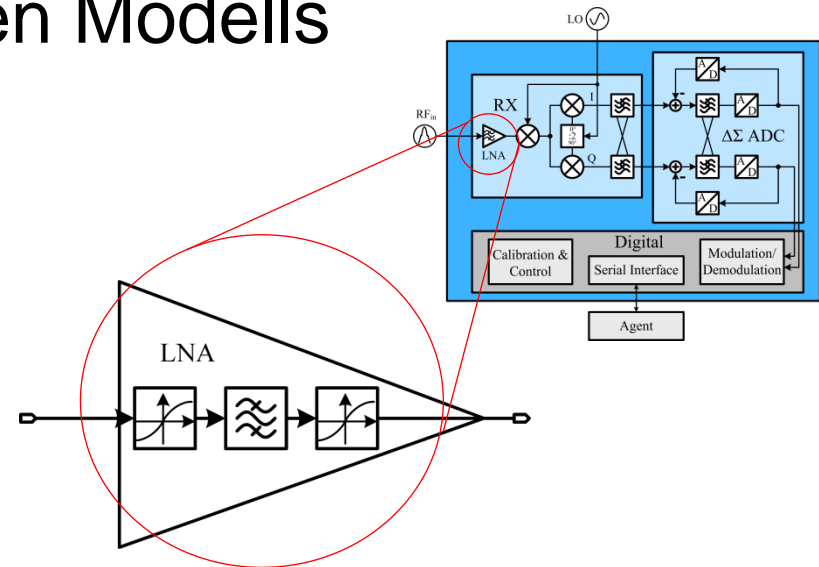
Durch den Trend der Hochintegration und die starke Verknüpfung von analogen und digitalen Schaltungen steigt die Komplexität der integrierten Schaltungen stark an, wodurch eine Verifikation des Gesamtsystems vor der Produktion unerlässlich wird. Eine Gesamtsimulation eines solchen Systems ist nur mit Hilfe von abstrahierten Modellen der einzelnen Blöcke möglich. Für eine möglichst genaue Beschreibung der verschiedenen Schaltungsblöcke müssen ihre nichtlinearen Effekte charakterisiert werden und passende Modelle erstellt werden.

Aufgabe

In dieser Arbeit soll ein Analyseverfahren und eine Modellierungsmethodik von gedächtnisbehafteten nichtlinearen Schaltungen entwickelt werden. Ein besonderes Augenmerk wird auf blockorientierte Modelle wie das Hammerstein-Wiener Modell gelegt werden. Anhand von mehreren Beispielschaltungen soll die Methodik getestet werden und passende Modelle in einer SystemVerilog/C++ Entwicklungsumgebung erstellt werden. Gute C++ und MATLAB Kenntnisse sind von Vorteil.

September 2018

Bachelor Arbeit



Kontakt

Christoph Beyerstedt, M.Sc.
Kopernikusstr. 16, 52074 Aachen
ICT Cubes 2. Stock, Raum 240

☎ 0241 80-27763

✉ christoph.beyerstedt@ias.rwth-aachen.de

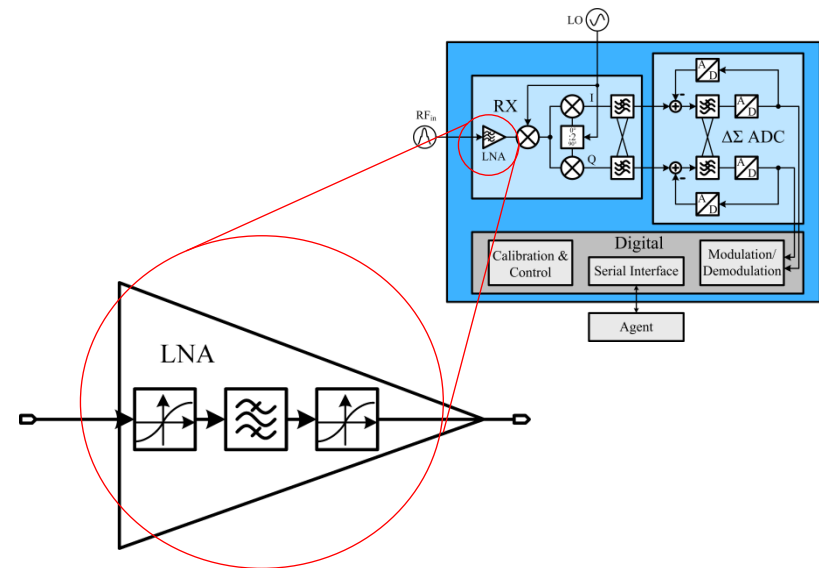
Analysis of Non-linear Circuits with Memory and Development of an Event-driven Model

Background

Due to the trend towards high integration and the strong interaction between analog and digital circuits, the complexity of integrated circuits is increasing rapidly, making verification of the overall system before production essential. An overall simulation of such a system is only possible with the help of abstracted models of the individual blocks. In order to describe the different circuit blocks as precisely as possible, their non-linear effects must be characterized and suitable models have to be created.

Task

In this thesis an analysis method and a modeling methodology of nonlinear circuits with memory are to be developed. Special attention will be paid to block-oriented models such as the Hammerstein-Wiener model. Using several example circuits, the methodology is tested and suitable models are created in a SystemVerilog/C++ development environment. Good knowledge of C++ and MATLAB is an advantage.



contact

Christoph Beyerstedt, M.Sc.
Kopernikusstr. 16, 52074 Aachen
ICT Cubes 2. floor, room 240

☎ 0241 80-27763

✉ christoph.beyerstedt@ias.rwth-aachen.de